

Keluarga LSL dan ECL

Tujuan Instruksional Umum

Setelah pelajaran selesai, peserta harus dapat:

- ⇒ Memahami rangkaian LSL
- ⇒ Memahami rangkaian ECL

Tujuan Instruksional Khusus

Peserta harus dapat:

- ⇒ Menjelaskan singkatan dari LSL
- ⇒ Menjelaskan singkatan dari ECL
- ⇒ Menjelaskan prinsip kerja rangkaian LSL
- ⇒ Menjelaskan prinsip kerja rangkaian ECL

Waktu

2 x 45 menit

Alat Bantu Mengajar / Persiapan

- ⇒ Satuan pelajaran
- ⇒ OHP

Kepustakaan

1. Beuth Klaus ; Digital Teknik Elektronik 4 ; Vogel - Buch Verlag ; Wurzburg Germany ; 1984 (130 ; 157)

Keterangan

- ⇒

DASAR PEMBENTUKAN GERBANG

1. *Rangkaian LSL*
“ *LOW SAVE LOGIC* “
2. *Rangkaian ECL*
“ *EMITER COUPLED LOGIC* “
3. *Rangkaian Dasar Gerbang LSL*
4. *Rangkaian dasar gerbang ECL*

Pembagian tahap Mengajar	Metode Pengajaran	Alat bantu Mengajar	Waktu
1. Motivasi			
1.1. Membacakan tujuan pelajaran	Ceramah	Papan tulis	2'
2. Elaborasi			
2.1. Guru menjelaskan kepanjangan dari LSL	Ceramah	PT	4'
2.2. Guru menjelaskan kepanjangan dari ECL	Ceramah	PT	4'
2.3. Guru menjelaskan prinsip kerja rangkaian LSL	Ceramah	PT	15'
2.4. Guru menjelaskan prinsip kerja rangkaian ECL	Ceramah	PT	20'
3. Konsolidasi			
3.1. Guru dan peserta mengadakan tanya jawab	Diskusi	Satpel	15'
4. Evaluasi			
4.1. Peserta mengerjakan soal - soal latihan	Kerja mandiri	Soal latihan	30'

Keluarga LSL dan ECL

Tujuan Instruksional Umum

Setelah pelajaran selesai, peserta harus dapat:

- ⇒ Memahami rangkaian LSL
- ⇒ Memahami rangkaian ECL

Tujuan Instruksional Khusus

Peserta harus dapat:

- ⇒ Menjelaskan singkatan dari LSL
- ⇒ Menjelaskan singkatan dari ECL
- ⇒ Menjelaskan prinsip kerja rangkaian LSL
- ⇒ Menjelaskan prinsip kerja rangkaian ECL

INFORMASI

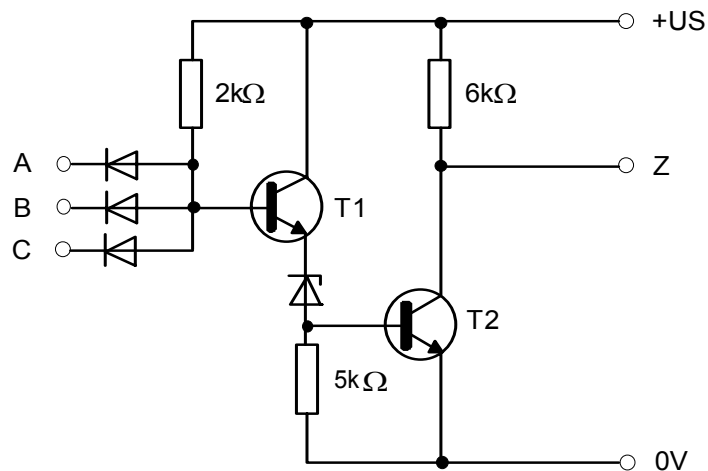
A) Kepanjangan dari singkatan LSL :

B) ' LOW SAVE LOGIC "

C) Kepanjangan dari singkatan ECL :

D) " EMITER CONTROLER LOGIC "

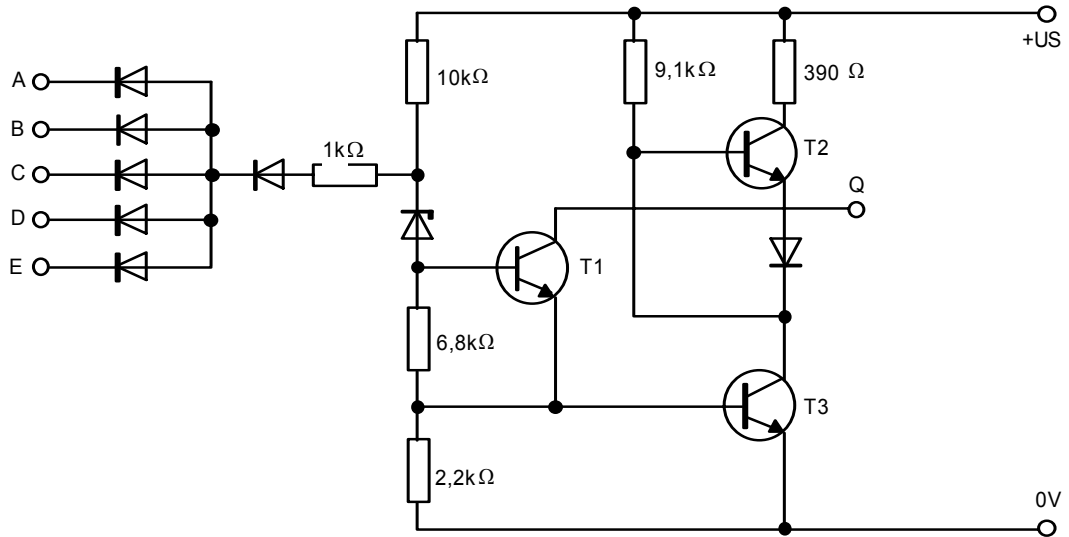
E) Rangkaian dasar LSL yang terdiri dari rangkaian DTL (diode Transistor Logic) yang ditambah Dioda Zener (DZ),lihat (gambar 1) dibawah.



Gambar 1 = Rangkaian DTL dengan Dioda Zener.

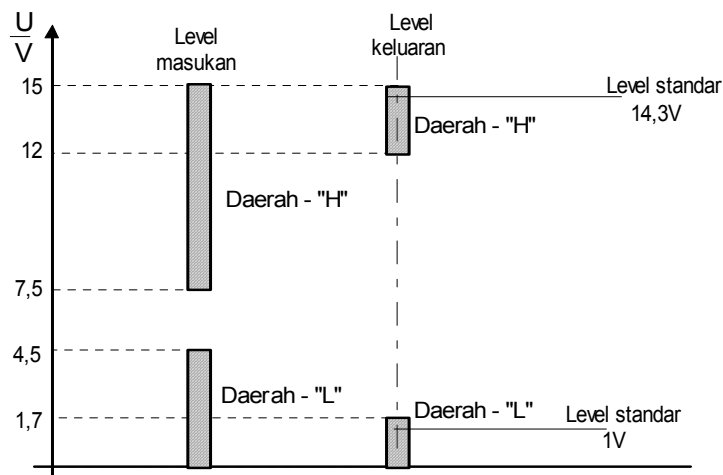
1. Rangkaian LSL

- Rangkaian LSL adalah pengembangan dari rangkaian DTL. LSL kependekan dari LOW SAVE LOGIC. Fungsi diode penggeser level pada rangkaian DTL, diganti dengan diode Zener (lihat gambar 1), Rangkaian DTL dengan Diode Z disebut juga rangkaian DTLZ
- Daerah level "H" dapat dinaikkan dengan cara mempertinggi tegangan catu, Hal ini menghasilkan pertambahan jarak antara batas level "H" dengan batas "L dengan demikian memperbesar keamanan statisnya.
- Gerbang LSL dihasilkan untuk tegangan sumber 12V dan 15V seperti (Gambar 2) yang memperlihatkan sebuah rangkaian gerbang LSL yang spesifik.



Gambar 2 (Rangkaian gerbang LSL (FZH 125, Siemens)

- Daerah level masukan H mulai dari 7,5 V hingga 15 V , dan Daerah masukan L mulai 0 V hingga 4,5 V (lihat gambar 3)

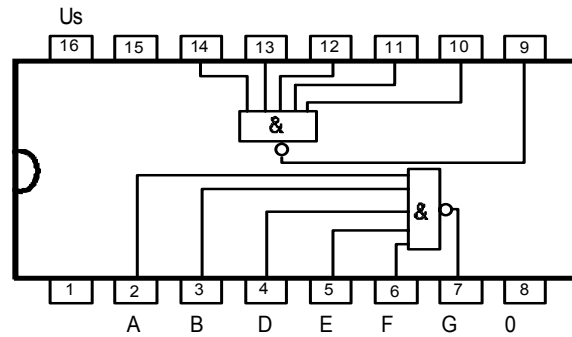


Gambar 3 (Daerah level rangkaian FZH 125)

- Harga nominal Level "H" standar mencapai 14,3 V dan level L standar 1,0 V, hal ini untuk keamanan dari gangguan dari ketidak stabilan sumber tegangan.dan untuk kepastian

perpindahan kondisi logika “H” ke logika “L” dan sebaliknya. dengan waktu perpindahan sekitan 200 ns. Hal ini lebih besar daripada gerbang DTL nominal.

- IC FZH 125 memiliki dua gerbang NAND (pada logik positif), setiap gerbangnya memiliki 5 masukan, lihat (gambar 4.)



Gambar 4. IC FZH 123

Data Statistik dalam daerah - 15V daerah temperatur 1 dan 5

Syarat Pengujian		Rangkaian Uji	Batas Bawah B	Standar	Batas Atas A	Satuan
Tegangan Sumber	U_S		13,5	15,0	17,0	V
Tegangan Masukan “H”	U_{IH}	$U_S = U_{SB}$	1	7,5		V
Tegangan Masukan “L”	U_{IL}	$U_S = U_{SB}$ dan U_{SA}	2		4,5	V
Tegangan Keluaran “H”.	U_{QH}	$U_S = U_{SB}$ dan U_{SB} $U_{IL}=4,5 V, -I_{QH} 0,1 mA$	2	12,0	14,3	V
Tegangan Keluaran “L”.	U_{QL}	$U_S = U_{SB}, U_{IH}=7,5V,$ $I_{QL} = 18 mA$	1		1,7	V

Pengamanan Statis

Sinyal-H	U_{SS}			4,6	8,0		V
Sinyal-L	U_{SS}			2,8	5,0		V
Arus masukan-H	I_{IH}	$U_S = U_{SA}, U_I = U_{IHA}$	3			1,0	μA
Arus masukan-L	I_{IL}	$U_S = U_{SA}, U_{IL} = 1,7V$	4		1,0	1,8	mA
Arus hubung singkat pada keluaran	I_Q	$U_S = U_{SA}, U_I = 0V$	5	15,0	37,0	60,0	mA
Arus Sumber “H” setiap Gerbang	I_{SH}	$U_S = U_{SA}, U_I = 0V$	6		1,2	2,1	mA
Arus Sumber “L” setiap Gerbang	I_{SL}	$U_S = U_{SA}, U_I = U_{IHA}$	7		2,3	4,0	mA
Kebutuhan Daya setiap Gerbang	P	$U_S = U_{SA}$ perbandingan 1:1			27	52	mW

Waktu pada $U_S = 15 V, FQ = 1$ dan $TU = 25 oC$

Waktu pada sinyal	t_{PLH}	} $C_L = 10 pF$ bei 4,5V over massa	} 26	195	ns
	t_{PHL}			140	ns
Waktu pada over sinyal	t_{TLH}	} $C_L = 10pF$		410	ns
	t_{THL}			75	ns

Gambar 5 Tabel data FZH125

- Perhatikan rangkaian pada (gambar 2), Saat transistor T3 menyumbat maka transistor T2. Pada pemblokiran transistor T3, terdapat tegangan kira-kira 14,3 V, pada keluaran Z level “H”.

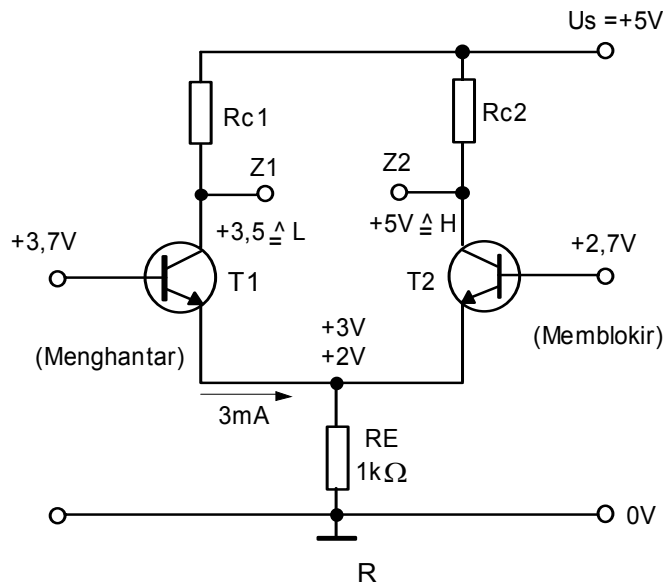
- Untuk pengontrolan gerbang berikutnya dapat mengalirkan arus yang besar dari U_s melalui tahanan 390Ω dan T2.
- Bila T3 mengontrol terus-menerus, maka T2 harus memblokir keluaran Z menerima arus besar dari T3 melalui devide dan Jalur - Emite - Kaltektor, tanpa keadaan ini level keluaran naik terlalu tinggi (kuat). Dengan demikian rangkaian dapat memelihara sebuah bilangan besar gerbang berikutnya dengan level L.
- Untuk rangkaian yang demikian harus di berikan dua macam faktor beban keluaran (Fan - Out) , yaitu faktor beban keluaran H dan faktor beban keluaran L.

Pada tabel rangkaian FZH 125, diperoleh :

Kondisi masukan - L - i_{iL} = 1 mA
 Kondisi masukan - H - i_{iH} = 1,0 μ A

2. Rangkaian - ECL

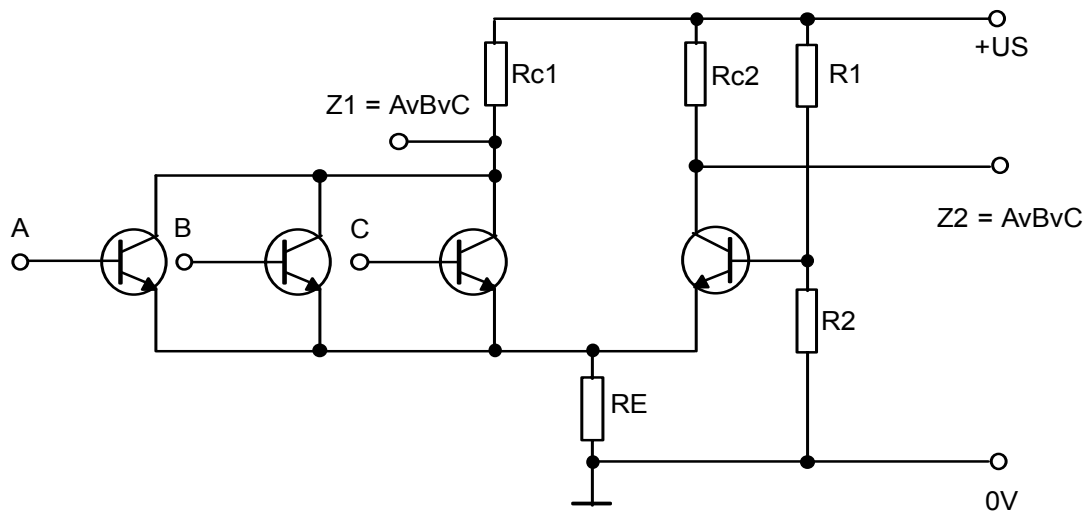
- ECL kependekan dari Emite Coupled Logic, yang termasuk dalam keluarga ini adalah CML (Current Mode Logic), EECL (Emite Emite Coupled Logic) dan ECT (Emite Coupled Transistor Logic).
- Rangkaian ECL adalah sebuah IC dengan transistor bipolar.
- Pada perkembangannya rangkaian ECL ditujukan untuk suatu keluarga jaringan rangkaian (Switching Natural) dengan waktu start yang sangat singkat. Waktu start yang sangat singkat akan tercapai bila transistor dalam arah maju .
- Penjenuhan tidak boleh berjalan andaikan jaringan rangkaian dapat dibuat didalam teknik penguat murni. Dalam jaringan rangkaian ini tidak sepenuhnya transistor - transistor di blokir dan dikontrol / dikendalikan. Saklar turun dan naik antara dua titik kerja terjadi sangat cepat. Teknik penguat murni, tapi membawa problem besar yang berhubungan dengan keamanan terhadap interferensi. Perbedaan daerah level L dan H sangat kecil, dan nilai level tidak baik dihentikan. Pada perubahan temperatur, jalan level tak bergerak/berjalan menentu.
- Untuk transistor pengontrol terdapat kopling pelawan arus yang kuat. Hal ini menyebabkan pada transistor terjadi perubahan tegangan basis yang kecil, yang demikian adalah baik, karena tidak ada perubahan pada arus kolektor. Level keluaran tetap stabil , walaupun transistor pengontrol tidak dalam kondisi penjenuhan.



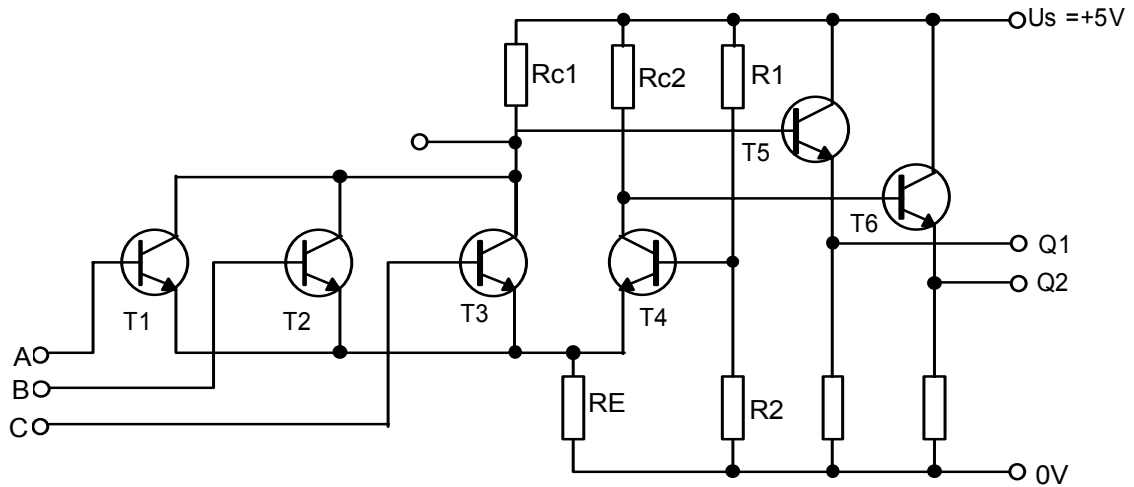
Gambar 6

Perhatikan gambar 6.

- Basis transistor T2 terletak pada tegangan permanen (+ 2,7V).Basis T1 juga seharusnya pada + 2,7 V. Kedua transistor mengontrol, sebagaimana yang diizinkan tahanan Emiter RE. Ia membagi arus emiter kira - kira 2 mA. Tegangan pada basis T1 lebih besar daripada + 2,7 V, T1 dikontrol terus. Arus emitor dari T1 diperbesar, pada RE terjadi tegangan yang besar. Transistor T2 harus dikontrol.
- Pada basis T1 terdapat tegangan 3,7 V, sehingga mengalir arus emitor kira - kira 3 mA. Rc1 harus diukur, agar tegangan kolektor pada T1 tidak turun.
- Keluaran Z2 diletakkan pada + 5 V. Tegangan ini seharusnya milik daerah level "H"
- Keluaran Z1 memiliki tegangan, yang berasal dari RE dan VCE, kira - kira 3,5 V dan masuk daerah level "L".
- Naik dan turunnya tegangan pada basis T1 sangat kecil , sehingga Z1 dan Z2 , menyebabkan suatu " DUMPING " (terbalik).
- Transistor T2 mulai mengontrol dan memaksa transistor T1 untuk memblokir. Keluaran Z1 berjalan pada level - H, dan keluaran Z2 pada level - L. Tahanan kolektor Rc2 harus terukur, agar dapat mengontrol T2 tidak menjadi jenuh (saturation).
- Trasistor T1 dapat dirangkai paralel dengan transistor selanjutnya (lihat gambar 7). Rangkaian paralel menyebabkan sebagai hubungan OR pengawatan. Rangkaian menimbulkan sebuah hubungan NOR pada keluaran Z2, kondisinya berlawanan dengan Z1, pada Z2 terdapat sebuah hubungan - OR.
- Level -H dan level -L tidak baik untuk mengontrol gerbang hubungan berikutnya. Selanjutnya ,dipasang pada setiap keluaran sebuah tingkat lanjut emitter (rangkaian kolektor). Sehingga diperoleh sebuah penggeser level dan merangkaikan mengontrol sebuah bilangan dasar gerbang yang dirangkai lanjut.

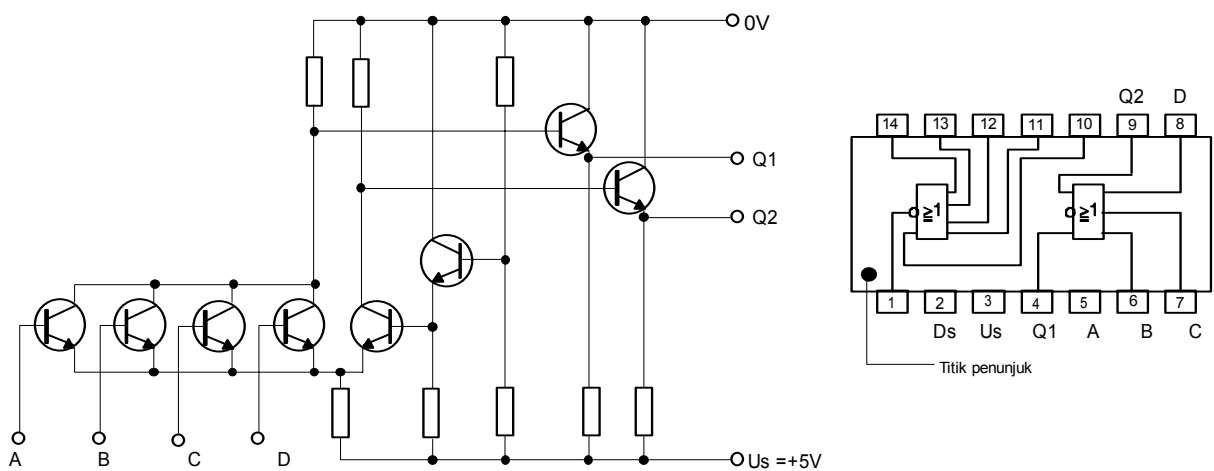


Gambar 7 Rangkaian Dasar Gerbang -ECL

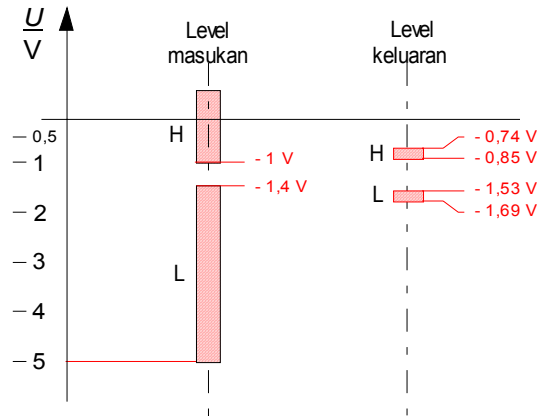


Gambar 8 Rangkaian Gerbang -ECL dengan tingkat lanjut Emitter follower (kolektor bersama).

- Faktor beban keluaran yang tersisa (Fan - out) terletak antara 20 dan 30. Dalam gambar 3 diperlihatkan sebuah gerbang -ECL dengan kolektor bersama. Tegangan permanen untuk masukan transistor T2 dalam gambar 1 dapat di timbulkan dengan bantuan sebuah pembagi tegangan. Dalam rangkaian FYH 124 (gambar 9) digunakan sebuah transistor tambahan, yang berfungsi untuk menstabilkan tegangan permanen. Melalui tegangan permanen ditempatkan gelombang tukar (umsohaltswelle).
- Rangkaian -ECL kebanyakan menggunakan tegangan sumber negatip (-5,0V). Kutub positif terletak pada massa. Kemudian untuk level L dan H menghasilkan nilai tegangan negatip (lihat gambar 10).
- Tegangan sumber negatip sedikit memperbaiki keamanan terhadap interferensi. Daerah level masukan untuk L dan H terletak satu sama lain sekitar 0,4 V. Akibatnya keamanan terhadap interferensi sangat sedikit. Pabrik (produsen) memberikan keamanan statis (dalam tabel) sebesar 0,3 V.
- Keuntungan dari keluarga rangkaian -ECL adalah memberikan waktu start yang singkat. Waktu proses sinyal sebesar 2 ns.



Gambar 9 Gerbang NOR ECL FYH124 (Siemens)



Gambar 10. Daerah level gerbang - ECL FYH 124

- Pada waktu start 2 ns , ditempatkan frekuensi sebesar kira-kira 250 MHz . Penghantar memancarkan energi dengan frekuensi tinggi, dengan kata lain penghantar menstansi transfer energi dan sebaliknya. Hal ini menyebabkan problem penyesuaian dan refleksi pada penghantar hubungan antara gerbang. Tahanan gelombang daripada penghantar harus diperhatikan pada bentangan rangkaian.

Gerbang keluarga - ECL adalah gerbang hubungan yang bekerja dengan sangat cepat

Rangkaian dengan gerbang - ECL harus dibuat seperti rangkaian frekuensi tinggi

- Hubungan penghantar antara gerbang seharusnya sesingkat mungkin.
- Pada kondisi pabrik, gerbang - ECL terdiri beberapa transistor yang menghantar.

Gerbang keluarga - ECL memiliki kebutuhan daya yang tinggi

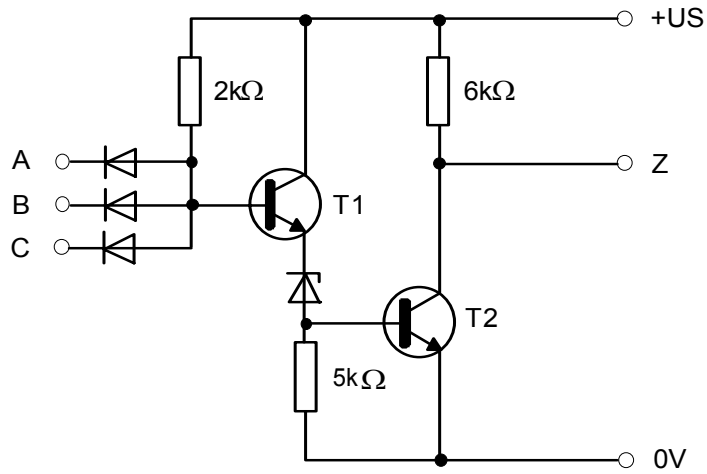
- Setiap gerbang hubungan harus ditempatkan pada 60 mW . Hal ini $6x$ lebih tinggi dari kebutuhan daya gerbang - TTL - standar berikut tabel gerbang - ECL.

tegangan	- 5V
kebutuhan daya	60 mW
waktu start	2 ns
frekuensi rangkaian(start)	250 MHz
jarak keamanan	$0,3 \text{ V}$

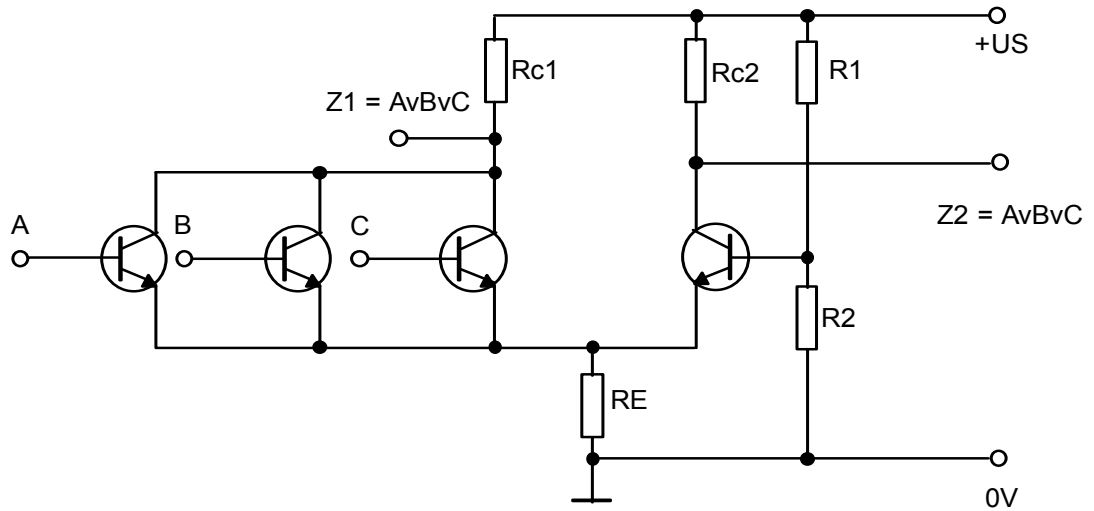
- Gerbang ECL digunakan karena prioritas kecepatan kerjanya seperti pada teknik kontrol dan militer.

Latihan

1. Sebutkan kepanjangan LSL ?
2. Sebutkan kepanjangan ECL ?
3. Jelaskan prinsip kerja rangkaian LSL dibawah ini ?

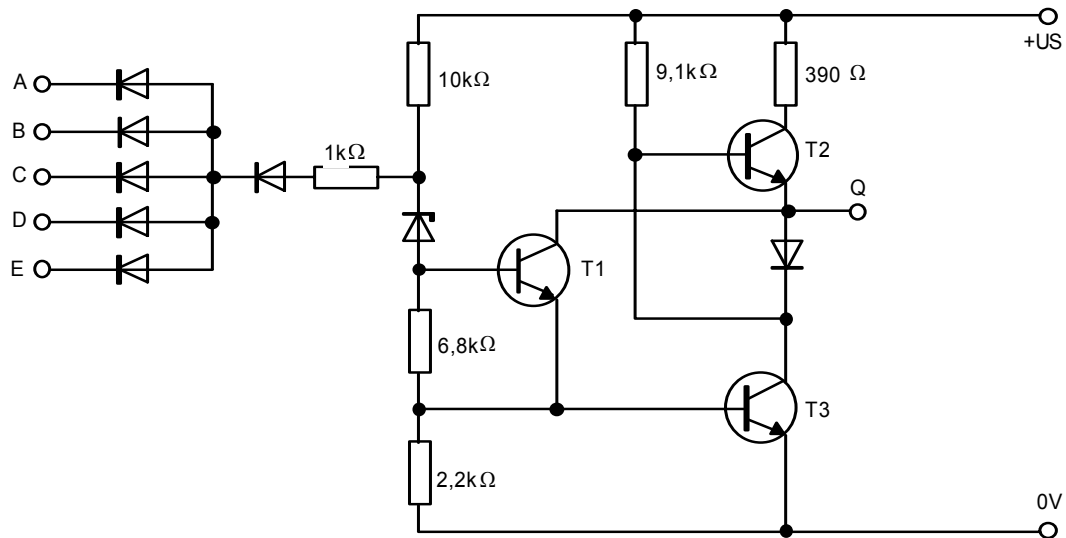


4. Jelaskan prinsip kerja rangkaian ECL dibawah ini ?



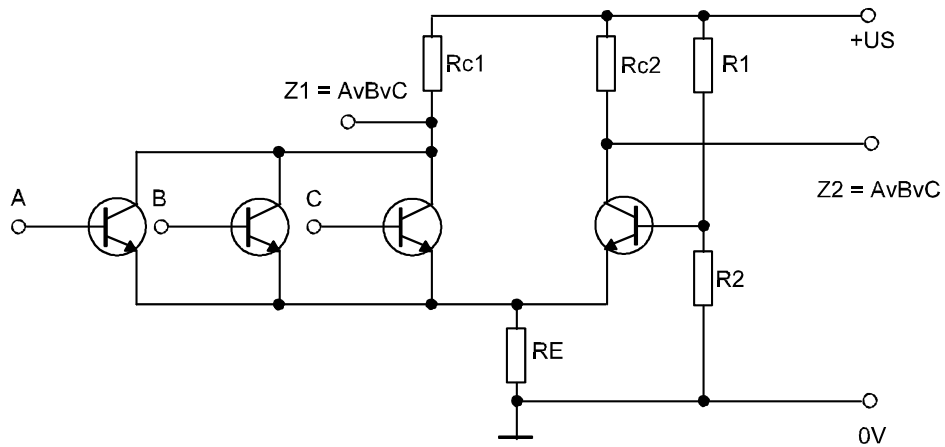
Jawaban

1. LSL = LOW SAVE LOGIK
2. ECL = EMITTER COUPLED LOGIC
3. Rangkaian gerbang LSL IC FZH 125 Siemens



- Pada saat transistor T3 memblokir, maka transistor T2 mengontrol terus - menerus. Pada pemblokiran transistor T3, terdapat tegangan kira - kira 14,3V pada keluaran Q level - H. Untuk mengontrol gerbang berikutnya dapat mengalirkan arus yang besar dari U_s melalui tahanan 390Ω dan T2. Rangkaian dengan demikian dapat memelihara bilangan besar gelombang selanjutnya dengan level - H. Bila T3 mengontrol terus - menerus, maka T2 harus memblokir, keluaran Q menerima arus besar dari T3 melalui diode dan jalur. Emitor - kolektor, tanpa dapat memelihara sebuah bilangan besar gerbang berikutnya dengan level - L faktor beban keluaran - H menginformasikan, berapa banyak masukan dapat dipelihara dengan level - H.
- Faktor beban keluaran - L menginformasikan, berapa banyak masukan dapat dipelihara dengan level - L.

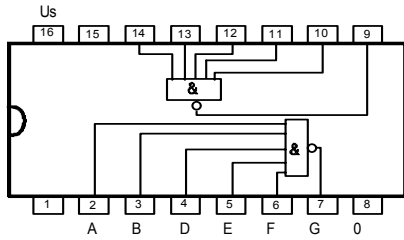
4.



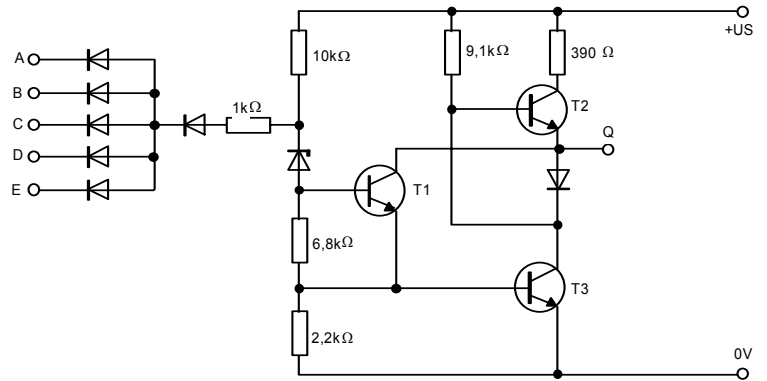
- Transistor T1 dapat di peroleh dengan transistor selanjutnya. Rangkaian paralel menyebabkan sebagai hubungan - OR - pengontrolan, rangkaian menimbulkan sebuah hubungan - NOR - pada keluaran Z1 logik positif. Keluaran Z2, kondisinya berlawanan dengan Z1, pada Z2 terdapat sebuah hubungan - OR.
- Level - H dan level - L tidak baik untuk mengontrol gerbang hubungan berikutnya, dipasang pada setiap keluaran sebuah tingkat lanjut emitor (rangkaian kolektor) sehingga diperoleh sebuah, penggeser level dan memungkinkan mengontrol sebuah bilangan dasar gerbang yang di rangkai selanjutnya.
- Faktor beban keluaran yang tersisa (Fan - Out) terletak antara 20 dan 30.

Transparan

1. LSL (LOW SAVE LOGIC)

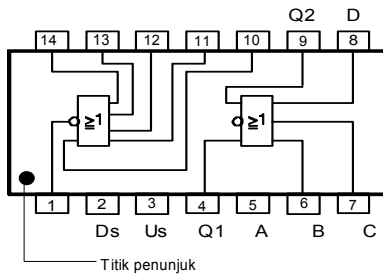


IC FYH 125

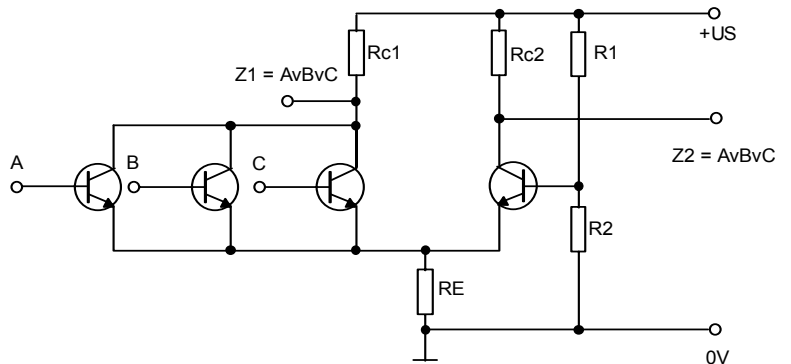


RANGKAIAN DASAR LSL

2. ECL (EMITEL COUPLED LOGIC)



IC FYH 124



RANGKAIAN DASAR ECL