

Diagram Waktu

Tujuan Instruksional Umum

Setelah pelajaran selesai peserta harus dapat:

- ⇒ Menganalisa konsep dasar, fungsi dan menerapkan konsep dasar logika sekuensial dalam rangkaian digital.

Tujuan Instruksional Khusus

Peserta harus dapat:

- ⇒ Menjelaskan prinsip dasar FF RS
- ⇒ Menjelaskan prinsip dasar FF RS dengan pengontrol clocked
- ⇒ Menjelaskan prinsip dasar pengontrol sisi masuk FF RS clocked sisi naik
- ⇒ Menjelaskan prinsip dasar FF JK dengan pengontrol clocked sisi turun
- ⇒ Menjelaskan prinsip dasar FF JK dengan pengontrol sisi dua (master-slave FF)
- ⇒ Menerapkan masing-masing tabel kebenaran.

Waktu 2 x 45 menit

Alat Bantu Mengajar / Persiapan

- ⇒ Lembar informasi
- ⇒ Lembar latihan / soal
- ⇒ Papan tulis/OHP

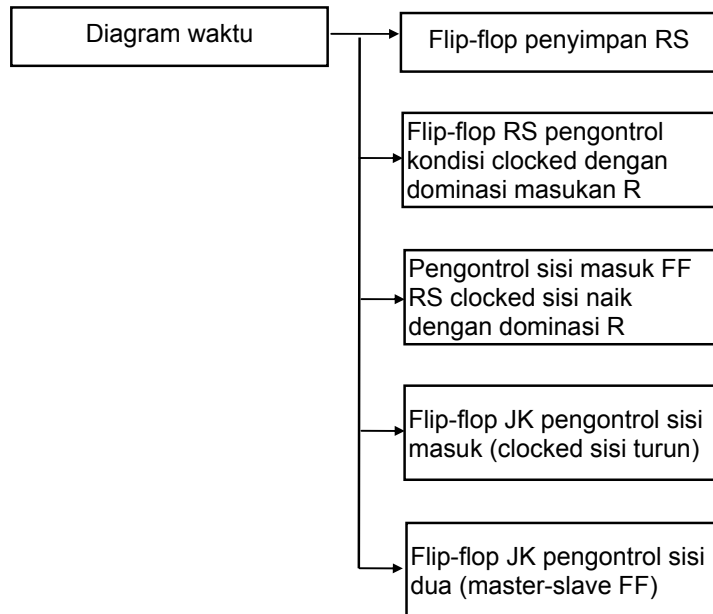
Kepustakaan

1. Beuth, Klaus, Elektronik 4 Digitaltechnik, Vogel-Bucherverlag, Jerman, 1982.

Keterangan

- ⇒ Materi ini disajikan untuk Jurusan Elektronika dan Listrik

Struktur Materi Pelajaran



Pembagian tahap Mengajar	Metode Pengajaran	Alat bantu Mengajar	Waktu
1. Motivasi			
1.1. Guru membacakan tujuan pelajaran kepada peserta	Ceramah	PT	4'
1.2. Guru dan peserta mendiskusikan tujuan pelajaran	TJ/Diskusi	PT	6'
2. Elaborasi			
2.1. Guru menjelaskan Flip-flop RS	Ceramah	PT/OHP	7'
2.2. Guru menjelaskan Flip-flop RS dengan pengontrol	Ceramah	PT/OHP	7'
2.3. Guru menjelaskan Flip-flop RS dengan pengontrol clocked sisi naik	Ceramah	PT/OHP	8'
2.4. Guru menjelaskan Flip-flop JK dengan pengontrol clocked sisi turun	Ceramah	PT/OHP	8'
2.5. Guru menjelaskan Flip-flop JK dengan pengontrol sisi dua (master-slave FF)	Ceramah	PT/OHP	10'
2.6. Guru menjelaskan masing-masing training diagram waktu	Ceramah	PT/OHP	30'
2.7. Guru menerangkan masing-masing tabel kebenaran	Ceramah	PT/OHP	13'
3. Konsolidasi			
3.1. Peserta diberi kesempatan untuk bertanya	TJ	PT	5'
3.2. Guru dan peserta menyimpulkan materi pelajaran	Diskusi/TJ	PT	12'
4. Evaluasi			
4.1. Peserta menjawab soal-soal pada lembar soal	KM	LS	25'

Diagram Waktu

Tujuan Instruksional Umum

Setelah pelajaran selesai peserta harus dapat:

- ⇒ Menganalisa konsep dasar, fungsi dan menerapkan konsep dasar logika sekuensial dalam rangkaian digital.

Tujuan Instruksional Khusus

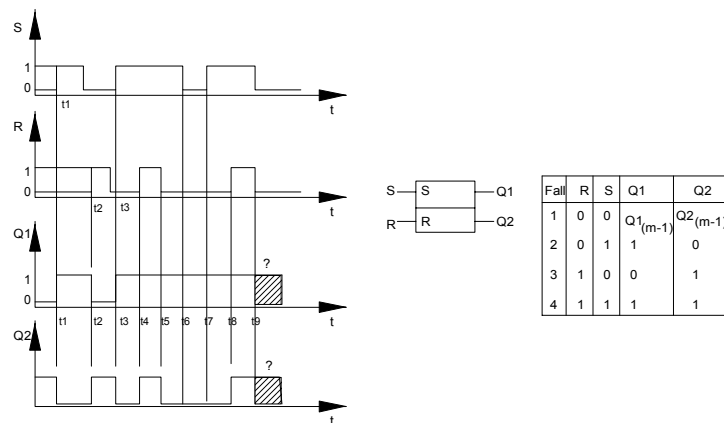
Peserta harus dapat:

- ⇒ Menjelaskan prinsip dasar FF RS
- ⇒ Menjelaskan prinsip dasar FF RS dengan pengontrol clocked
- ⇒ Menjelaskan prinsip dasar pengontrol sisi masuk FF RS clocked sisi naik
- ⇒ Menjelaskan prinsip dasar FF JK dengan pengontrol clocked sisi turun
- ⇒ Menjelaskan prinsip dasar FF JK dengan pengontrol sisi dua (master-slave FF)
- ⇒ Menerapkan masing-masing tabel kebenaran.

1. Diagram Waktu

Diagram waktu disebut juga diagram pulsa

Diagram waktu merupakan alat bantu untuk memahami fungsi flip-flop satu persatu atau rangkaian secara keseluruhan.



Gambar 1. RS Flip-Flop dengan Diagram Waktu, Simbol dan Tabel Kebenaran

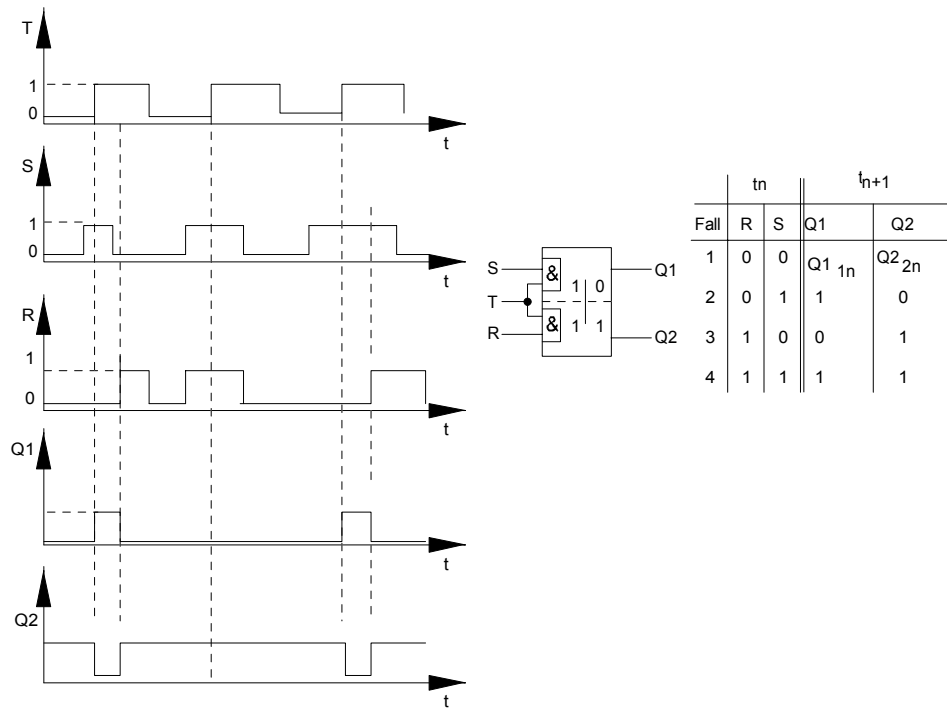
Gambar 1. memperlihatkan sebuah flip-flop-RS bukan pengontrol clocked, dinamakan juga flip-flop penyimpanan-SR, dengan tabel kebenaran dan diagram waktu.
 Untuk menuju titik waktu t_1 , flip-flop ditempatkan dimana signal 1 diletakkan yaitu pada S.
 Untuk menuju titik waktu t_2 , flip-flop ditempatkan balik.
 Masukan R kini memproses signal 1.
 Untuk menuju titik waktu t_3 , flip-flop ditempatkan pada tempat yang terbaru.

Yang sangat menarik adalah titik waktu t_4 , Pada titik waktu ini, terletak masukan yang sama, yaitu 1. Kejadian ini tidak beraturan.
 Keluaran yang sama kini menuju 1. Jika pada titik waktu t_5 masukan R menuju 0, Q_2 berjalan juga menuju 0.
 Pada titik waktu t_6 , signal S menuju 0. Flip-flop tinggal diam. Untuk mendudukan balik hanya mungkin dengan R = 1. Sebagai gantinya pada saat menuju titik waktu t_7 akan menjumpai kedudukan (tempat yang baru. Tapi flip-flop masih diam. Dengan demikian posisi keluaran tidak berubah pada titik waktu t_8 , signal R menuju 1.
 Sekarang kita jumpai kembali kondisi yang tidak beraturan .
 $Q_1 = 1$ dan $Q_2 = 1$.
 Situasi yang sangat kritis adalah pada titik waktu t_9 , signal S dan signal R serentak turun menuju 0. Kini ia terbuka penuh, seakan flip-flop berhenti. Dengan demikian kejadian tak beraturan diabaikan.

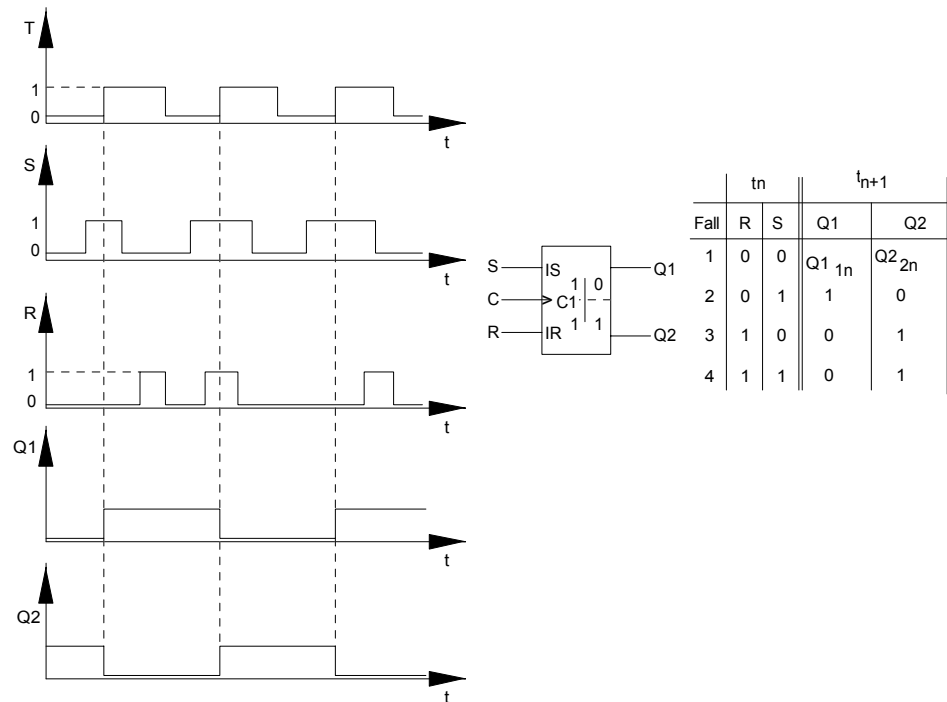
Perhatikan gambar 2.

S dan R adalah signal masukan dan T adalah signal clocked.
 Pada titik waktu t_1 yaitu S = 1, tapi T masih memproses signal 0.
 Sebuah dudukan tak dapat menggantikan. Pertama, pada titik waktu t_2 flip-flop didudukan. Pada titik waktu t_3 berhasil kembali (posisi awal).
 Dalam sekilas t_4 menjadi S = 1. Dalam sekejap t_5 menjadi R = 1.
 Karena tidak ada clocked (irama), signal ini tidak dapat dipengaruhi.
 Sebuah akibat baru terjadi pada titik waktu t_6 . Sekarang flip-flop kemungkinan harus didudukan kembali. Tapi hal itu sudah terjadi dengan demikian tidak terjadi perubahan pada posisi keluaran.

Posisi kembali / terjadi pada titik waktu t_8 , kini masukan S dan T memproses signal 1, tapi masukan R mendominasi.
 Keluaran Q_2 keadaannya selalu bertentangan terhadap Q_1 .

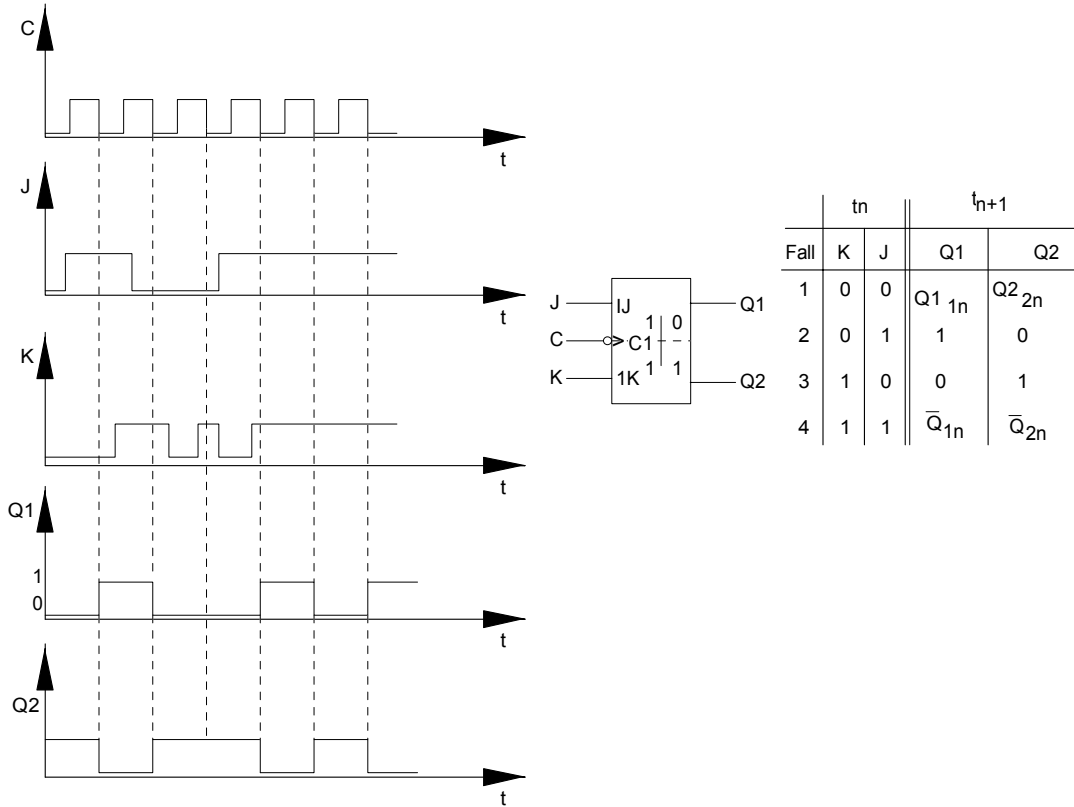


Gambar 2. Flip-flop RS pengontrol kondisi clocked dengan dominasi masukan R, tabel kebenaran dan diagram waktu.



Gambar 3. Pengontrol Flip-flop sisi masuk RS Flip-Flop SR (clocked sisi naik dengan dominasi masukan R, tabel kebenaran dan diagram waktu)

Flip-flop hanya dapat memerintah untuk titik-titik t_1 , t_2 dan t_3 .
 Pada titik waktu t_1 , flip-flop ditempatkan oleh karena $S = t$.
 Pada titik waktu t_2 , flip-flop ditempatkan kembali, oleh karena $S = 1$ dan $R = 1$.
 Pada titik waktu t_3 , flip-flop ditempatkan lagi ($S = 1$).
 Untuk Q_1 dan Q_2 menghasilkan sebuah perjalanan waktu yang lain sama sekali, sebagaimana didalam gambar 2.



Gambar 4. Flip-Flop JK pengontrol sisi masuk (clocked turun) dengan tabel kebenaran dan diagram waktu.

Perhatikan gambar 4, flip-flop JK einflankengestenerete menghasilkan diagram waktu sebagai berikut. Flip-flop hanya dapat memerintah titik waktu t_1 , t_2 , t_3 , t_4 , t_5 dan t_6 . Hanya pada titik ini ia menghasilkan abfallende flanken daripada signal-signal C.

Pada titik waktu t_1 , flip-flop ditempatkan, oleh karena $J = 1$.
 Pada titik t_2 , flip-flop ditempatkan balik karena $K = 1$.

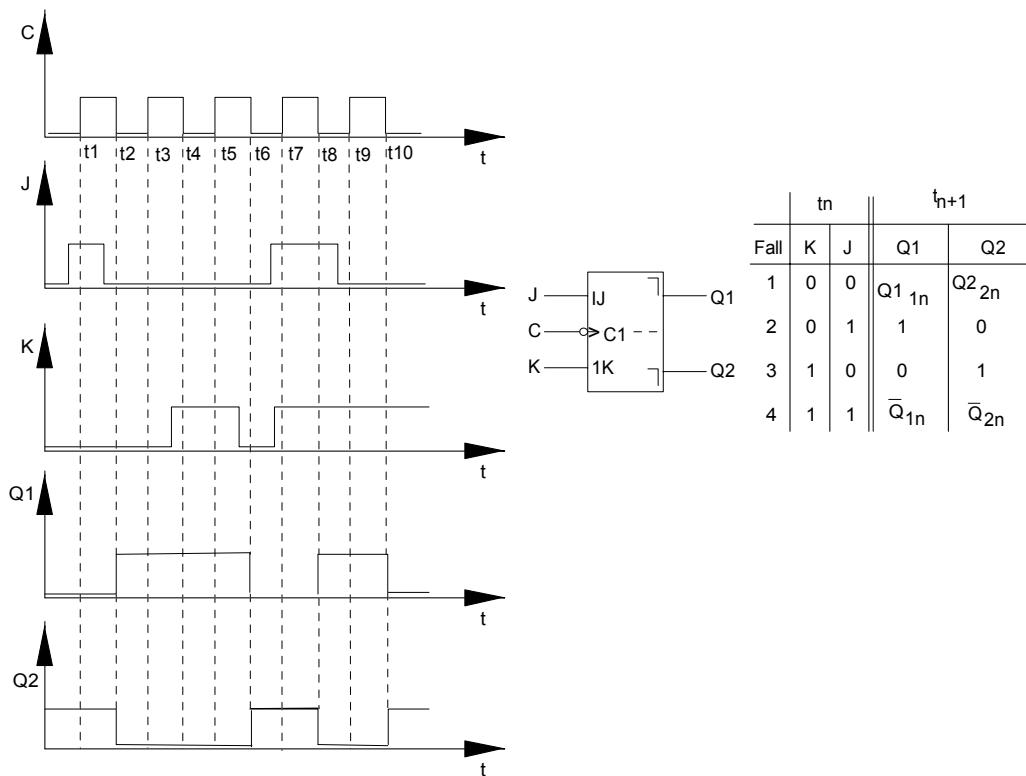
Pada titik waktu t_3 , seharusnya flip-flop di tempatkan balik. Tapi disana ia sudah menempatkan balik, dengan sendirinya tidak menghasilkan perubahan untuk Q_1 dan Q_2 .

Pada titik t_4 yaitu $J = 1$ dan $K = 1$. Flip-Flop terbalik.

Oleh karena itu saat itu sebelum titik waktu t_4 $Q_1 = 01$ setelah titik waktu t_4 $Q_1 = 1$.

Saat menuju titik waktu t_5 dan t_6 , flip-flop terbalik dalam keadaan yang berlawanan . Q_2 adalah selalu Q_1 .

Gambar 5 adalah diagram waktu sebuah flip-flip JK pengontrol sisi dua.

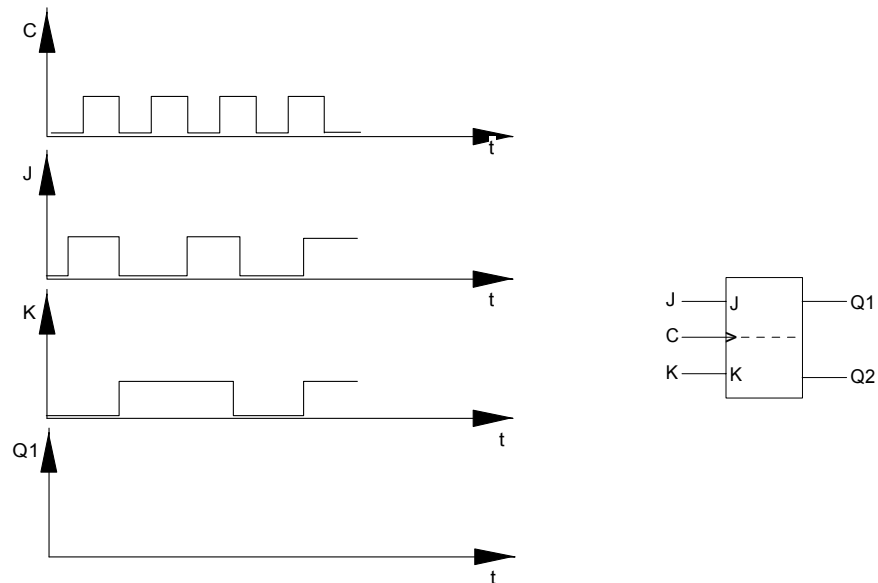


Gambar 5 flip-flop JK pengontrol sisi dua (master-Slave-Flip-Flop) dengan tabel kebenaran dan diagram waktu.

Pada titik t_1 , signal masukan $J = 1$ diambil di master flip-flop.
 Pada titik waktu t_2 , (dengan penurunan sisi clocked) tampak pada keluaran sinyal signal-signal $Q_1 = 1$ dan $Q_2 = 0$.
 Pada titik waktu t_3 adalah $J = 0$ dan $K = 0$. Hal ini adalah kejadian penyimpanan.
 Pada titik waktu t_4 tidak terjadi perubahan pada keadaan keluaran.
 Pada titik t_5 , signal $K = 1$ diambil di penyimpanan master.
 Pada titik waktu t_6 , tampak menuju posisi dudukan balik signal-signal $Q_1 = 0$ dan $Q_2 = 1$ pada keluaran-keluaran.
 Pada waktu t_7 adalah $J = 1$ dan $K = 1$. Melalui signal ini keadaan terbalik (proses membalik) dihapus. Pembalikan terjadi (berhasil) pada keluaran saat menuju titik waktu t_8 .
 Pada waktu t_9 , $K = 1$ diterima . Kedudukan balik (kembali) daripada signal keluaran terjadi pada titik waktu t_{10} .

Latihan

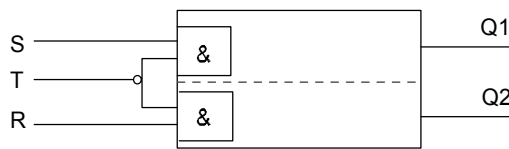
1. Jelaskan proses kerja flip-flop SR pengontrol kondisi clocked dengan dominasi masukan R. Buatlah tabel kebenarannya
2. Jelaskan diagram waktu pada gambar 6 daripada praktik signal keluaran Q1
 - a). Jika hubung dengan flip-flop sisi clocked naik
 - b). Jika terhubung dengan flip-flop sisi clocked turun



Gambar 6. diagram waktu

Jawaban

1.



T	t_n		t_{n+1}	
	R	S	Q1	Q2
0	0	0	$Q1_{1n}$	$Q2_{2n}$
1	0	1	1	0
1	1	0	0	1
1	1	1	1	1

S dan R adalah signal masukan dan T adalah signal clocked pada saat $S = 1, T = 0$ dan $R = 1$ atau $S = 0, T = 1$ dan $R = 0$.

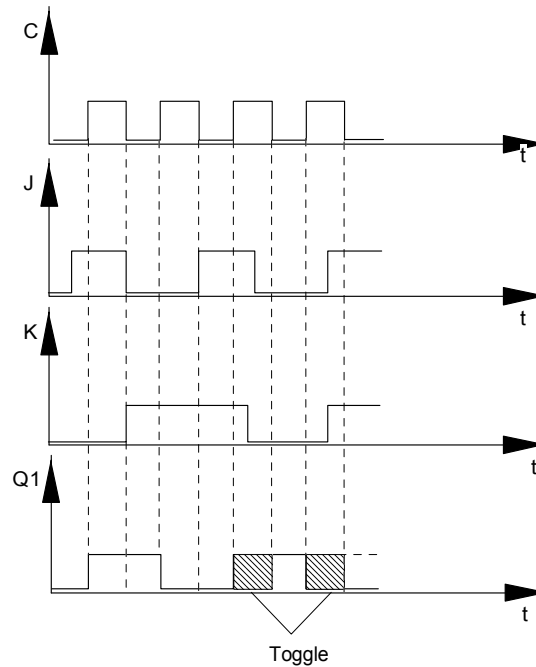
Keluaran pada Q_1 dan Q_2 sama posisi awal.

Pada saat $S = 1, T = 1$ dan $R = 0$ keluaran pada $Q_1 = 1$ dan

Pada saat $S = 0, T = 1$ dan $R = 1$ keluaran pada $Q_1 = 0$ dan $Q_2 = 1$

Pada saat $S = 1, T = 1$ dan $R = 1$ keluaran pada $Q_1 = Q_2 = 1$

2.

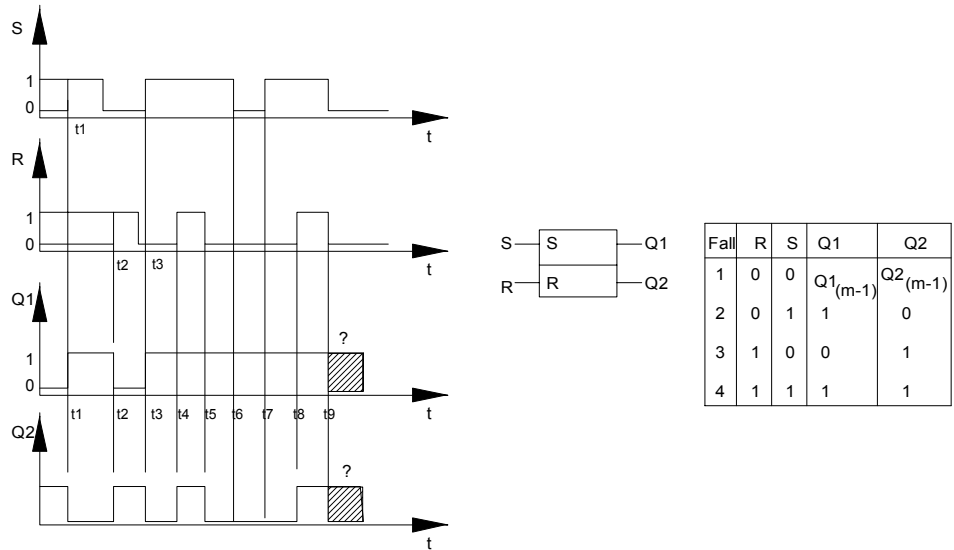


Pada saat clocked naik dan kondisi $J = 1$ maka pada keluaran $Q_1 = 1$ serta sampai clocked turun kondisi $J = 1$ maka keluaran Q_1 tetap kondisinya satu.

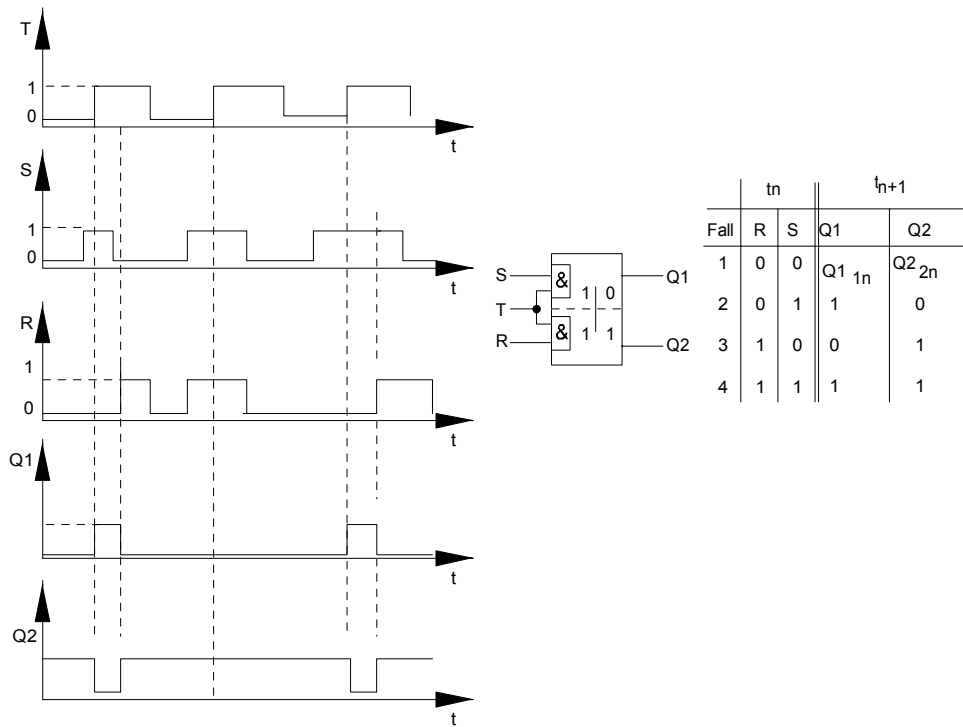
Pada saat clocked naik dan clocked turun, kondisi $J = K = 1$ maka keluaran Q_1 terjadi Toggle.

Maka keluaran Q_1 keadaan semula / tetap.

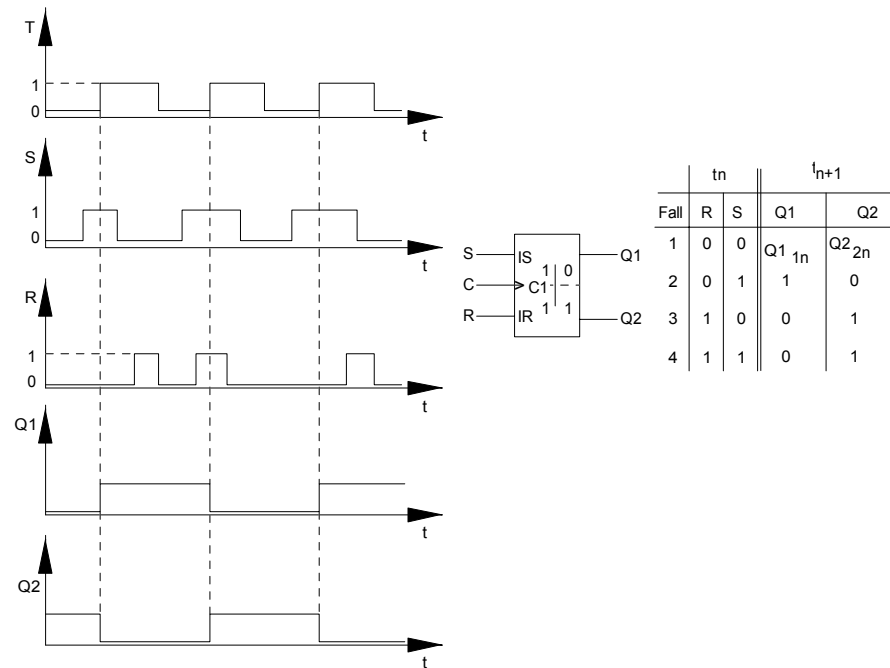
Transparan



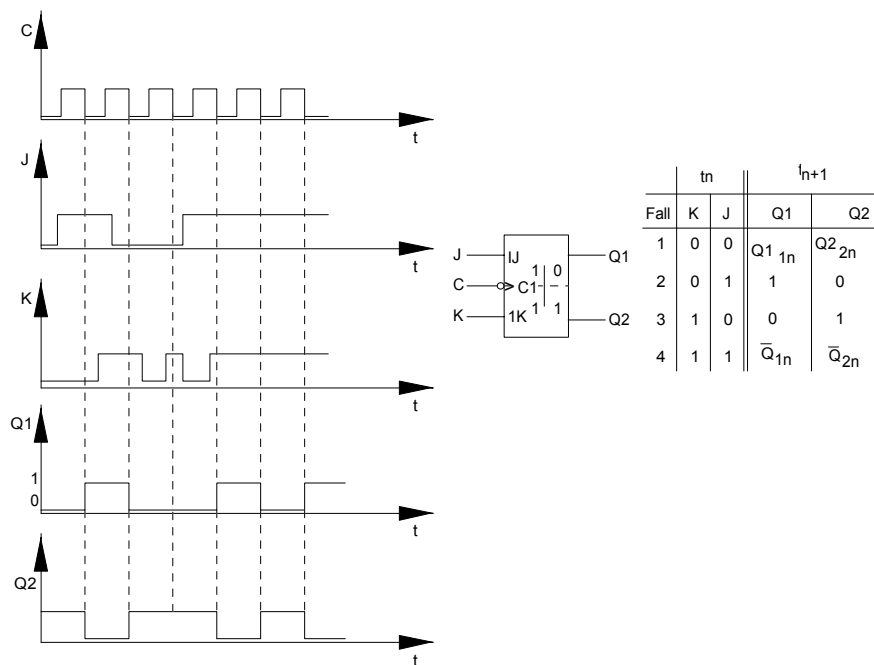
Gambar 1. Flip-flop penyimpan RS dengan tabel kebenaran untuk titik t_m dan diagram waktu



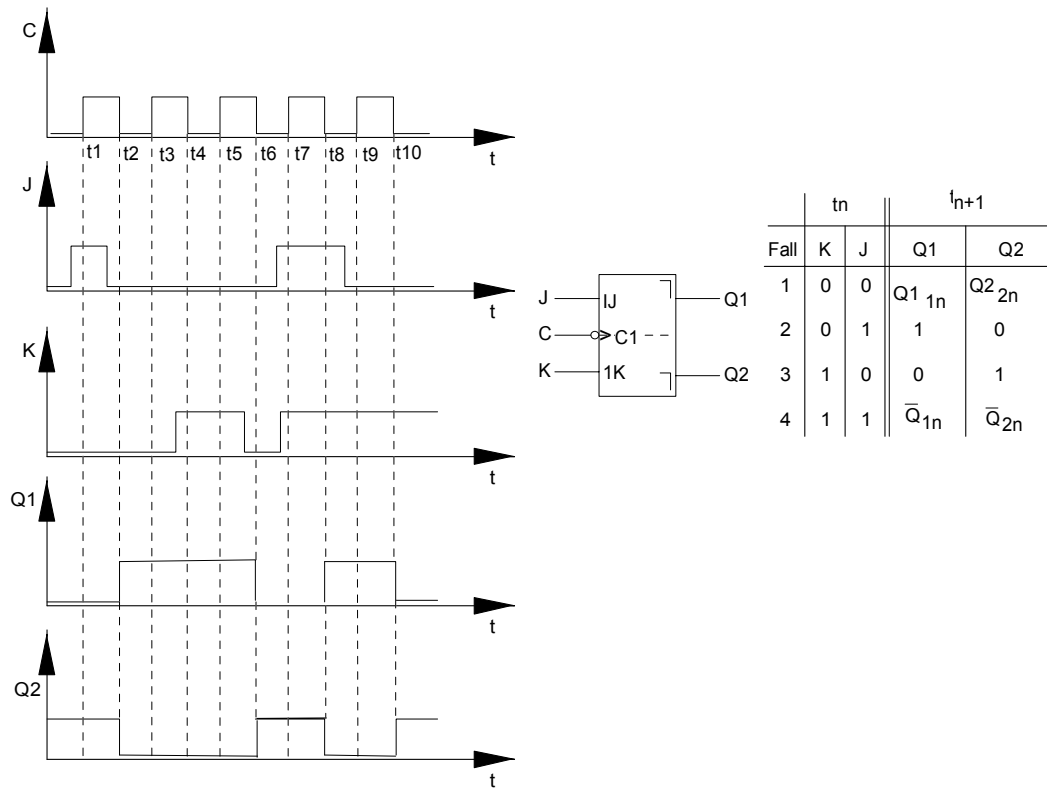
Gambar 2. Flip-flop RS pengontrol kondisi clocked dengan dominasi masukan R, tabel kebenaran dan diagram waktu.



Gambar 3. Pengontrol Flip-flop sisi masuk RS Flip-Flop SR (clocked sisi naik dengan dominasi masukan R, tabel kebenaran dan diagram waktu)



Gambar 4. Flip-Flop JK pengontrol sisi masuk (clocked turun) dengan tabel kebenaran dan diagram waktu.



Gambar 5 flip-flop JK pengontrol sisi dua (master-Slave-Flip-Flop) dengan tabel kebenaran dan diagram waktu.