

D Flip-Flop

Tujuan Instruksional Umum

Setelah pelajaran selesai, peserta harus dapat:

- ⇒ Memahami rangkaian dan cara kerja clocked D Flip-Flop

Tujuan Instruksional Khusus

Peserta harus dapat:

- ⇒ Membangun rangkaian clocked D Flip-Flop.
- ⇒ Menjelaskan cara kerja rangkaian clocked D Flip-Flop
- ⇒ Menyusun tabel kebenaran clocked D Flip-Flop
- ⇒ Menggambar diagram pulsa

Waktu

2 x 45 menit

Alat Bantu / Persiapan

- ⇒ Papan tulis
- ⇒ Lembar latihan
- ⇒ OHP

Kepustakaan

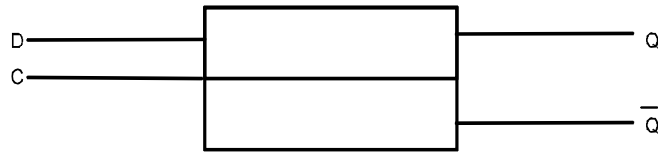
1. Bartee the Houw Liong Ph.D, Dasar Komputer digital Edisi ke enam, Erlangga, Jakarta 1986
2. Wasito .S, B Hermawan, teknik digital, karya utama Jakarta Selatan , 1988.

Keterangan

- ⇒ Materi ini disajikan pada jurusan Elektroda dan Listrik

Struktur Materi / Pekerjaan

Simbol logika untuk clocked D Flip-Flop



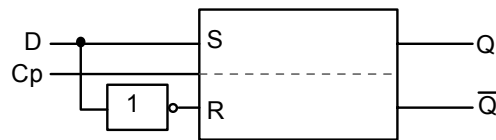
Tabel kebenaran

tn	tn + 1	
	Q	\bar{Q}
0	0	1
1	1	0

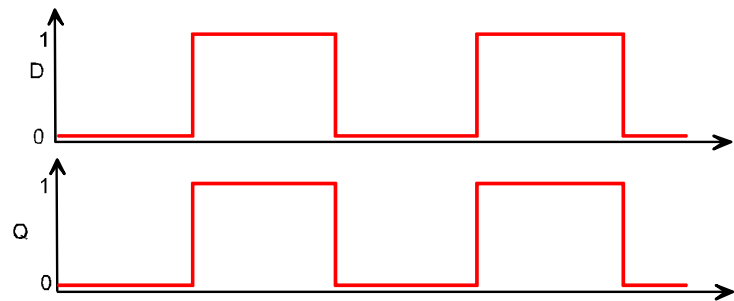
tn : saat sebelum diberi pulsa clock

tn + 1 : saat setelah diberi pulsa clock

Konstruksi D Flip-Flop adalah serupa dengan Clocked RS Flip-Flop, dimana kebalikan masukan set (S) dihubungkan ke masukan Reset (R).



Gambar diagram pulsa



Pembagian tahap Mengajar	Metode Pengajaran	Alat bantu Mengajar	Waktu
1. Motivasi			
1.1. Guru menjelaskan tujuan pelajaran	Ceramah	PT	3'
1.2. Guru dan peserta mendiskusikan tujuan pelajaran	TJ/diskusi	PT	7'
2. Elaborasi			
2.1. Guru membangun rangkaian clocked D Flip-Flop	Ceramah	PT/OHP	10'
2.2. Guru menjelaskan rangkaian clocked D Flip-Flop	Ceramah	PT/OHP	13'
2.3. Guru menyusun tabel kebenaran	Ceramah	PT/OHP	6'
2.4. Guru dan peserta mendiskusikan tabel kebenaran	TJ/diskusi	PT	
2.5. Guru menggambar diagram pulsa	Ceramah	PT/OHP	10'
3. Konsolidasi			
3.1. Mencari kesimpulan dari hasil praktik	Diskusi	Lembar kerja	20'
3.2. Guru dan peserta menyimpulkan materi pelajaran	TJ/Diskusi	PT	8'
4. Evaluasi			
4.1. Guru memberikan pertanyaan kepada peserta	TJ	PT	5'
4.2. Peserta mengerjakan lembar latihan	KM	LL	15'

D Flip-Flop

Tujuan Instruksional Umum

Setelah pelajaran selesai, peserta harus dapat:

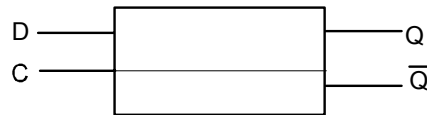
- ⇒ Memahami rangkaian dan cara kerja clocked D Flip-Flop

Tujuan Instruksional Khusus

Peserta harus dapat:

- ⇒ Membangun rangkaian clocked D Flip-Flop.
- ⇒ Menjelaskan cara kerja rangkaian clocked D Flip-Flop
- ⇒ Menyusun tabel kebenaran clocked D Flip-Flop
- ⇒ Menggambar diagram pulsa

INFORMASI



Gambar 1. Simbol logika untuk clocked D Flip-Flop

- Clocked D Flip-Flop hanya mempunyai satu masukan untuk informasi, dengan D. Informasi D ini akan masuk dalam Flip-Flop bila masukan pulsa clock logika "1". Jadi selama masukan clock berlogika "1" (keluaran Q dari Flip-Flop D akan mengikuti masukan data .
- Namun bila input clock akan menjadi rendah (berlogika "0" , masukan S dan R dari bagian Flip-Flop RS akan berubah keadaannya, dan ahanya menyimpan data yang ada sebelumnya (sebelum perubahan masukan clock). Dari sini dapat dilihat hasil tabel kebenarannya.

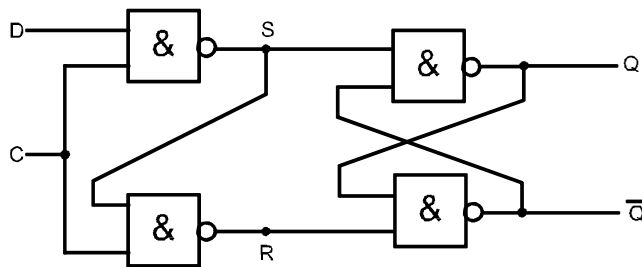
tn			tn + 1		
D	Q	\overline{Q}	D	Q	\overline{Q}
0	x	x	0	0	1
1	x	x	1	1	0

x = 0 atau 1

\overline{x} = 1 atau 0

tn = saat sebelum pulsa clock

tn + 1 = saat setelah pulsa clock



Gambar 2. Rangkaian clocked D Flip-Flop dari gerbang NAND

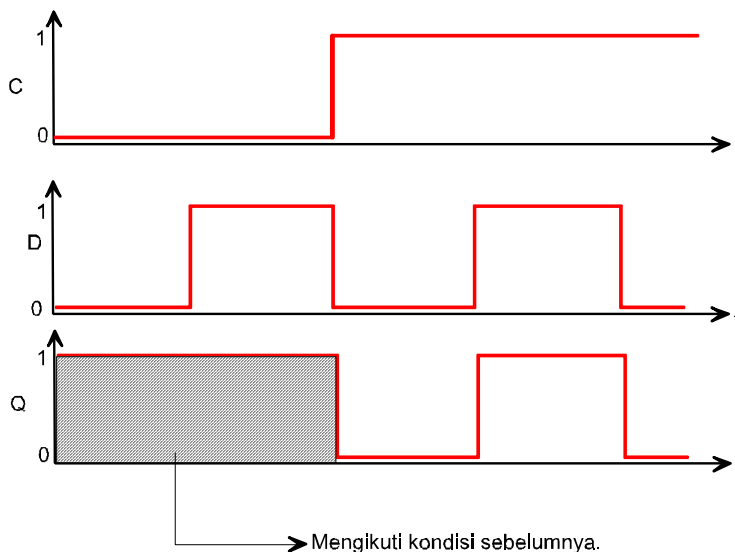
- Pada RS Flip-Flop mempunyai 2 masukan informasi dan tidak membentuk pulsa clock . Pada clocked D Flip-Flop mempunyai 1 masukan informasi dan selalu membutuhkan pulsa clock. Masukan reset pada clocked D Flip-Flop dihubungkan dengan kebalikan masukan D sehingga keadaan terdefinisi atau illegal tidak pernah terjadi.

Tabel kebenaran

Masukan		Keluaran	
C	D	Q	\overline{Q}
0	0	X	\overline{X}
0	1	X	\overline{X}
1	0	0	1
1	1	1	0

Keterangan
 x = 0 atau 1
 = kondisi sebelumnya

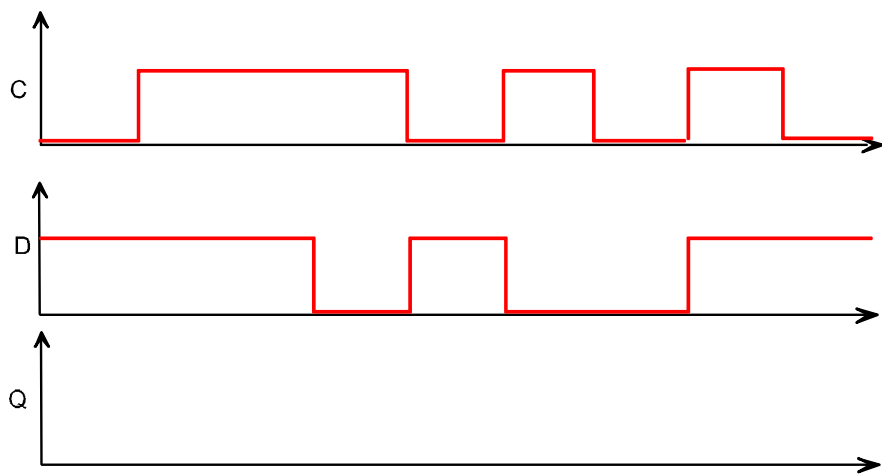
Diagram pulsa



Latihan

1. Jelaskan prinsip kerja clocked D Flip-Flop

2. Lengkapi diagram pulsa dibawah ini

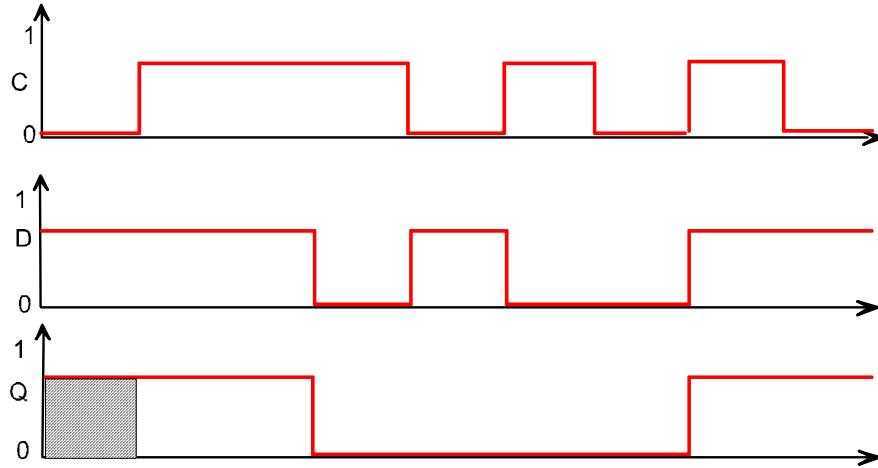


3. Buatlah tabel kebenaran dari soal nomer 2

Jawaban

1. D Flip-Flop bekerja pada kondisi clock tinggi dan outputnya akan mengikuti kondisi inputnya.

2.

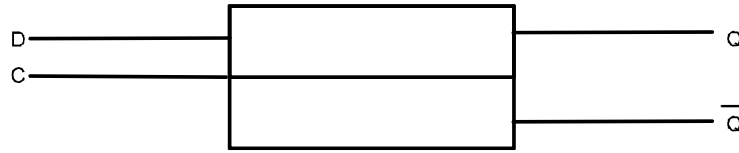


3.

Masukan		Keluaran
0	1	X
1	1	1
1	1	1
1	0	1
0	1	0
1	0	0
0	0	0
1	1	1

Transparan

Simbol Clocked D Flip-Flop



Tabel kebenaran

tn			tn + 1		
D	Q	\overline{Q}	D	Q	\overline{Q}
0	x	x	0	0	1
1	x	x	1	1	0

Gambar diagram pulsa

